

Inhaltsverzeichnis

1. Allgemein.....	2
2. PCI Konfigurationsadressraum.....	3
3. Registermodell.....	4
4. Ansteuerung der I/Os	5
4.1 I/O Register	5
4.2 Watchdog der Ausgangstransistoren.....	5
4.3 Interruptsteuerung der I/Os	6
5. Timer.....	7
6. Interruptverwaltung.....	7
6.1 Verwaltung der Quellen.....	7
6.2 Erweiterte Funktionen.....	9
7. Sonstiges.....	9
7.1 Kartenreset.....	9
7.2 Nicht verwendete Bit der Register PER und TIMER	10
7.3 Jumper der Basiskarte	10
7.4 Verschraubung zum Platinensatz.....	10
7.5 Treiber und Dokumentationen.....	10
7.6 Artikelbezeichnungen	10
8. Steckerbelegungen	11
8.1 Steckerbelegung SUB-D 37 pol. Buchse Basiskarte PCIDIO32	11
8.2 Steckerbelegung 40 pol. IDC Stiftwanne Erweiterungskarte PCIDIOEX	11
8.3 Steckerbelegung KL1 Erweiterungskarte PCIDIOEX.....	12
8.4 Steckerbelegung PCIDIOHM bei Verwendung von PCIDIOVK	12
9. Technische Daten.....	12
9.1 Spannungsversorgung der I/Os	12
9.2 Ausgänge der I/Os	13
9.3 Eingänge der I/Os.....	13

Mitgeltende Unterlagen: Benutzerhandbuch pcidio-de-um

1. Allgemein

Die PC Karte PCIDIO bietet 32 bzw. 64 optisch entkoppelte/galvanisch getrennte und für 24VDC optimierte digitale I/Os. Jeder digitale I/O kann je nach Bedarf als digitaler Ausgang oder als digitaler Eingang verwendet werden.

Die Baugruppe im PCI Kurzformat besteht dabei aus der Basiskarte PCIDIO32 mit 32 digitalen I/Os, die durch Aufstecken der optionalen Erweiterungskarte PCIDIOEX um 32 digitale I/Os zur PCIDIO64 erweitert werden kann ohne dabei einen weiteren Steckplatz im PC zu belegen. Ein späteres Upgrade der Basiskarte durch die Erweiterungskarte ist auch nachträglich jederzeit durch einfaches Aufstecken der Erweiterungskarte und Verschraubung mit den im Lieferumfang der PCIDIOEX enthaltenen Distanzrollen und Schrauben/Muttern möglich.

Die Kontaktierung der 32 digitalen I/Os der Basiskarte erfolgt über eine 37 polige SUB-D Buchse am Slotwinkel, die Kontaktierung der optionalen Erweiterungskarte dagegen über eine IDC Stiftwanne, die über ein Flachbandkabel auf einen zweiten Slotwinkel mit SUB-D Steckverbinder geführt werden kann. Bei einem 1:1 gecrimpten Kabel sind beide Platinen steckerkompatibel.

Features

- 32 vom Rechner optisch getrennte und für 24VDC optimierte digitale I/Os auf der Basiskarte
- Weitere 32 vom Rechner und der Basiskarte optisch getrennte und für 24VDC optimierte digitale I/Os auf der optionalen Erweiterungskarte
- Jeder I/O als Ein- oder Ausgang frei verwendbar
- Isolationsspannung der optischen Entkopplung min. 1500V RMS

Ausgänge

- Max. 1A Ausgangsstrom je Kanal
- Direkter Anschluss ohmscher, kapazitiver und induktiver Lasten
- Dauerkurzschlussfest mit automatischen Wiederanlaufversuchen und Überspannungsschutz
- Kurzschlusserkennung für Diagnosezwecke
- Programmierbare rechnerunabhängige Watchdog

Eingänge

- Für 24VDC optimierte Schaltschwelle
- Eingangsstrom bei 24VDC ca. 3,5 mA
- Jeder Eingang interruptfähig mit programmierbarer Flanke
- RC-Eingangfilter und digitales Filter mit 10KHz Grenzfrequenz
- Unbenutzte Eingänge können offen bleiben

Sonstiges

- Programmierbarer 24 Bit 10 MHz Timer mit Interruptfunktion
- 2 zusätzliche Jumper zur Unterscheidung mehrerer Karten innerhalb desselben Systems
- 32 Bit PCI Kurzkarte (Universal Card für 5V/33MHz und 3,3V/66MHz PCI Slots)
- Ext. Versorgung der Ausgangstransistoren und der optischen Entkopplung über die Steckverbinder der jeweiligen Karte 24VDC +/- 30%
- Optionales Klemmenmodul mit Käfigzugklemmen zur einfachen Anlagenaufschaltung
- Umfangreiche Software für Windows 2003, XP, 2K, ME, 98, 95 und MSDOS im Lieferumfang enthalten
- Auf Wunsch kundenspezifische Anpassungen möglich

2. PCI Konfigurationsadressraum

Für die Konfiguration von PCI Buskarten steht für jede Karte ein völlig eigenständiger Adressraum von 256 Byte zur Verfügung. Der Bereich ist in mehrere Register unterschiedlicher Breite unterteilt, die zum Teil fest codiert sind, zum Teil aber auch vom BIOS/Betriebssystem konfiguriert werden.

Untenstehende Tabelle zeigt die genaue Struktur der ersten 64 Byte für den von der Karte unterstützten Header-Typ 00h, wobei nur die schattierten Felder für die Karte von Bedeutung sind.

In den eckigen Klammern sind dabei die Werte der Karte der festcodierten Register des Konfigurationsraums eingetragen.

Adresse [hex]	Byte 3	Byte 2	Byte 1	Byte 0
00	Device ID [0004h]		Vendor ID [1172h]	
04	Statusregister		Commandregister	
08	Class Code [118000h]			Revision ID
0c	BIST	Header Type [00h]	Latency Timer	Cache Line Size
10	Base Address Register BAR0			
14	Base Address Register BAR1			
18	Base Address Register BAR2			
1c	Base Address Register BAR3			
20	Base Address Register BAR4			
24	Base Address Register BAR5			
28	Cardbus CIS Pointer			
2c	Subsystem ID [0662h]		Subsystem Vendor ID [EB84h]	
30	Expansion ROM Base Address			
34	Reserved			
38	Reserved			
3c	Maximum Latency	Minimum Grant	Interrupt Pin	Interrupt Line

Die Register Vendor ID, Device ID, Revision ID, Class Code, Subsystem Vendor ID und Subsystem ID dienen der Kartenidentifikation innerhalb eines PCI Systems.

Die Basisadresse der Karte liegt im I/O Bereich des PCs und wird vom BIOS als auch vom Betriebssystem während des Startens des PCs in das Register BAR0 eingetragen wie auch die Interruptzuordnung in die Register Interrupt Line und Interrupt Pin.

Die Register Statusregister und Commandregister dienen zur Einstellung und Auswertung des PCI Busverkehrs der Karte und können im Bedarfsfall zu erweiterten Diagnosezwecke herangezogen werden.

Zur Kartenansprache und Programmierung empfehlen wir die Verwendung der mitgelieferten Software Treiber. Eine direkte Programmierung der Register durch den Anwender ist dadurch nicht notwendig.

3. Registermodell

Die Karte belegt im I/O Bereich des PCs 32 Byte Daten. Die Basisadresse der Karte wird vom BIOS/Betriebssystem vergeben und kann direkt aus dem Register BAR0 des PCI Konfigurationsadressraums gelesen werden, wobei Bit1 und Bit0 auf 0 zu setzen sind.

Die niederen 16 Bit stellen dann die Basisadresse dar, die zur Adressierung der Karte im I/O Bereich unter Verwendung der Offsets gemäß untenstehender Tabelle herangezogen werden kann: Basisadresse = BAR0 & 0x0FFFC

Wir empfehlen für die Programmierung der Karte jedoch die Verwendung der im Lieferumfang enthaltenen Software Treiber.

Offsset [hex]	Byte 3	Byte 2	Byte 1	Byte 0
00	I/O[31..0]			
02 00	I/O[31..16]		I/O[15..0]	
03 02 01 00	I/O[31..24]	I/O[23..16]	I/O[15..8]	I/O[7..0]
04	I/O[63..32]			
06 04	I/O[63..48]		I/O[47..32]	
07 06 05 04	I/O[63..56]	I/O[55..48]	I/O[47..40]	I/O[39..32]
08	IRQ[31..0]			
0A 08	IRQ[31..16]		IRQ[15..0]	
0B 0A 09 08	IRQ[31..24]	IRQ[23..16]	IRQ[15..8]	IRQ[7..0]
0C	IRQ[63..32]			
0E 0C	IRQ[63..48]		IRQ[47..32]	
0F 0E 0D 0C	IRQ[63..56]	IRQ[55..48]	IRQ[47..40]	IRQ[39..32]
10	TRIG[31..0]			
12 10	TRIG[31..16]		TRIG[15..0]	
13 12 11 10	TRIG[31..24]	TRIG[23..16]	TRIG[15..8]	TRIG[7..0]
14	TRIG[63..32]			
16 14	TRIG[63..48]		TRIG[47..32]	
17 16 15 14	TRIG[63..56]	TRIG[55..48]	TRIG[47..40]	TRIG[39..32]
18	TIMER[31..0]			
1A 18	TIMER[31..16]		TIMER[15..0]	
1B 1A 19 18	TIMER[31..24]	TIMER[23..16]	TIMER[15..8]	TIMER[7..0]
1C	PER[31..0]			
1E 1C	PER[31..16]		PER[15..0]	
1F 1E 1D 1C	PER[31..24]	PER[23..16]	PER[15..8]	PER[7..0]

Jedes der 8 jeweils 32 Bit breiten Register kann sowohl mit Byte (8 Bit), Word (16 Bit) und Doppelword (32 Bit) Zugriffen angesprochen werden. In der Tabelle sind für alle Zugriffsarten die entsprechenden Offsets zur Basisadresse und die entsprechenden Registerbezeichnungen aufgeführt. Die Offsets und Registerbezeichnungen für 32 Bit Zugriffe sind jeweils schattiert dargestellt, die Offsets und Bezeichnungen für 16 Bit und 8 Bit Zugriffe folgen jeweils direkt darunter.

I/O[63..32], IRQ[63..32] und TRIG[63..32] sind für den Zugriff auf die optionale Erweiterungskarte PCIDIOEX implementiert. Ein Zugriff auf diese Register bei fehlender Erweiterungskarte stellt keinen Fehler dar und es wird auch keine Fehlermeldung generiert. Ob eine Erweiterungskarte vorhanden ist, ist rücklesbar. Ist das Bit PER[10] logisch Low, ist eine Erweiterungskarte vorhanden, ist es logisch high, ist keine Erweiterungskarte vorhanden.

Nach einem Hardwarereset des PCs (kein Warmstart!) sind alle schreibbaren Register gelöscht.

4. Ansteuerung der I/Os

4.1 I/O Register

Über die I/O[...] Register erfolgt der direkte Zugriff auf die mit dem jeweiligen Register verknüpften I/Os.

Das Register I/O[31..0] adressiert die 32 I/Os der Basiskarte PCIDIO32, wobei die Bitpositionen des Registers linear den I/Os I/O31..I/O00 zugeordnet sind.

Das Register I/O[63..32] adressiert die 32 I/Os der Erweiterungskarte PCIDIOEX, wobei die Bitpositionen des Registers linear den I/Os I/O63..I/O32 zugeordnet sind.

Für die Verwendung eines digitalen I/Os als Ein- oder Ausgang ist keine separate Hardwarekonfiguration der Karte notwendig.

Das Schreiben einer „1“ einer Bitposition des Registers I/O[...] führt zu einem High Level des jeweiligen I/Os, ein Schreibzugriff mit einer „0“ zu einem Low Level.

Das Lesen des Pegels eines I/Os erfolgt durch das Lesen des jeweiligen I/O[...] Registers. Liegt an einem I/O ein High Pegel an, wird eine „1“ in der jeweiligen Bitposition des jeweiligen I/O Registers zurückgelesen, liegt an einem I/O ein Low Pegel an, wird eine „0“ in der jeweiligen Bitposition des jeweiligen I/O Registers zurückgelesen.

Dies kann zur Kurzschlusserkennung herangezogen werden. Wird nach dem Schreiben einer „1“ eines I/Os und einem Delay von wenigstens 250us nebst ggf. vorhandener lastabhängiger Verzögerung eine „0“ zurückgelesen, liegt ein Kurzschluss am I/O vor.

Im Kurzschlussfall schaltet der entsprechende Ausgangs-FET seinen Ausgang selbsttätig ab und versucht mit mehreren Millisekunden getaktet einen Wiederanlauf.

4.2 Watchdog der Ausgangstransistoren

Die Ausgangstransistoren beider Karten können von einer gemeinsamen rechnerunabhängigen Watchdog überwacht werden. Wird bei freigegebener Watchdog nicht wenigstens ein I/O Register innerhalb einer programmierbaren Timeout Zeit schreibend angesteuert, werden alle Ausgangstransistoren beider Karten sofort zurückgesetzt. Ein schreibendes Ansteuern der I/Os der optionalen Erweiterungskarte führt dabei nicht zu einem Rücksetzen der Watchdog wenn die Erweiterungskarte nicht vorhanden ist.

Die Programmierung der Timeout Zeit erfolgt durch Schreiben auf das Register PER[23..16]. Der dort eingetragene 8 Bit Wert multipliziert mit 26,2144 ms ergibt die Timeout Zeit, die damit von 26,2144ms bis 6,684672 Sekunden programmierbar ist.

Ein einmal eingestellter Wert größer 0 enabled die Watchdog und sorgt gleichzeitig dafür, dass weder der Wert verändert noch die Watchdog wieder disabled werden kann. Die Watchdog wird nur durch einen Hardwarereset oder Kaltstart des PCs oder ab Revision 2 auch durch einen softwareseitigen Kartenreset wieder disabled und der Wert von neuem einstellbar gemacht.

PER[23..16] ist rücklesbar ausgeführt, so dass eine eingestellte Timeout Zeit zurückgelesen werden kann. Ein Wert größer 0 bedeutet dabei auch, dass die Watchdog enabled ist.

Ob die Watchdog „zugeschlagen“ hat, kann über das Bit PER[24] zurückgelesen werden. Ist dieses Bit logisch High, hat die Watchdog wenigstens einmal „zugeschlagen“.

Um das Feature zu nutzen, ist vorher das Bit PER[24] logisch High zu setzen. Schlägt die Watchdog danach zu, wird dies in einem Flip Flop gespeichert und kann über das Bit PER[24] gelesen werden. Das Flip Flop wird gelöscht, indem Bit PER[24] gelöscht wird. Danach kann die Überwachung wieder freigegeben werden.

4.3 Interruptsteuerung der I/Os

Jeder I/O kann separat als Interruptquelle genutzt werden. Die Programmierung erfolgt über die Register IRQ[31..0] und TRIG[31..0] für die I/Os der Basiskarte PCIDIO32 sowie IRQ[63..32] und TRIG [63..32] für die I/Os der Erweiterungskarte PCIDIOEX.

Das Zuordnungsschemata von Bitposition eines Registers zu entsprechendem I/O folgt dabei dem der Ansteuerung der I/Os von oben.

Die IRQ Register sind jeweils die Enable Register der einzelnen Quellen, während die TRIG Register zur Auswahl der triggernden Flanke dienen.

Ein I/O wird als Interruptquelle enabled, wenn in die dem I/O entsprechende Bitposition des jeweiligen IRQ Registers eine logische 1 geschrieben wird. Hat ein I/O einen Interrupt ausgelöst, muss dieser durch Löschen des entsprechenden Bit des IRQ Registers bestätigt werden. Ein erneutes Setzen des Bits enabled die Interruptquelle wieder.

Nach einem Hardwarereset sind alle Bit der IRQ Register gelöscht und damit alle Interruptquellen disabled.

Für die Triggerung selbst ist Flankentriggerung fest vorgegeben. Die Auswahl der triggernden Flanke erfolgt durch die TRIG Register. Bei einem gelöschten Bit erfolgt eine Triggerung bei einer High nach Low Flanke des entsprechenden I/Os, bei gesetztem Bit dagegen bei einer Low nach High Flanke.

Nach einem Hardwarereset sind alle Bit der TRIG Register gelöscht.

5. Timer

Auf der Basiskarte PCIDIO32 ist ein 24 Bit Timer zur zyklischen Generierung von Interrupts integriert. Ein Taktzyklus entspricht dabei 100ns, so dass bei 24 Bit Auflösung Zeiten bis zu 1,6777217 Sekunden programmierbar sind.

Ist das schreib- und rücklesbare Bit TIMER[24] logisch Low, kann der Timer durch einen Schreibbefehl auf TIMER[23..0] mit einem 24 Bit Startwert geladen werden. Ist TIMER[24] logisch High, kann ein Laden des Startwertes undefinierte Zustände zur Folge haben und ist daher zu vermeiden.

Der Timer startet, wenn TIMER[24] logisch High geschaltet wird, zählt vom Startwert aus rückwärts bis zum Erreichen der 0, lädt den Timer erneut mit dem Startwert und zählt wieder abwärts. Das Timerintervall setzt sich dabei zusammen aus $(\text{Übergebener Wert} + 1) * 100\text{ns}$.

Dieser Vorgang wird erst dann beendet, wenn TIMER[24] wieder logisch Low geschaltet wird.

Bei jedem Nulldurchgang wird ein Interrupt generiert, wenn dieser zuvor durch das Bit TIMER[25] feigegeben wurde.

Der Timer wird als Interruptquelle enabled, wenn TIMER[25] logisch High geschaltet wird. Ist ein Interrupt ausgelöst worden, muss dieser durch Löschen von TIMER[25] bestätigt werden. Ein erneutes Setzen von TIMER[25] enabled die Interruptquelle wieder.

6. Interruptverwaltung

Die Karte bietet mehrere Interruptquellen an, die im Interrupt Sharing Verfahren auf der Karte verwaltet werden und als Sammelleitung auf einen Interrupteingang des PCs geführt werden.

Der dabei von der Karte belegte Interrupt des PCs kann direkt dem Register Interrupt Line entnommen werden, wobei hier nicht der Interruptvektor selbst, sondern die Interruptnummer eingetragen ist.

6.1 Verwaltung der Quellen

Zur Verwaltung der Quellen dient das Bit PER[0]. Dieses dient als Global Enable aller Quellen. Ist das Bit gesetzt, sind die Quellen global enabled, ist das Bit gelöscht, sind alle Quellen global gesperrt. Zusätzlich dient das Bit als Global Acknowledge. Jedesmal, wenn ein Interrupt abgearbeitet wurde, muss dieser durch einen logischen Lowpegel bestätigt werden. Für die weitere Verarbeitung von Interrupts muss das Bit anschließend wieder logisch High gesetzt werden.

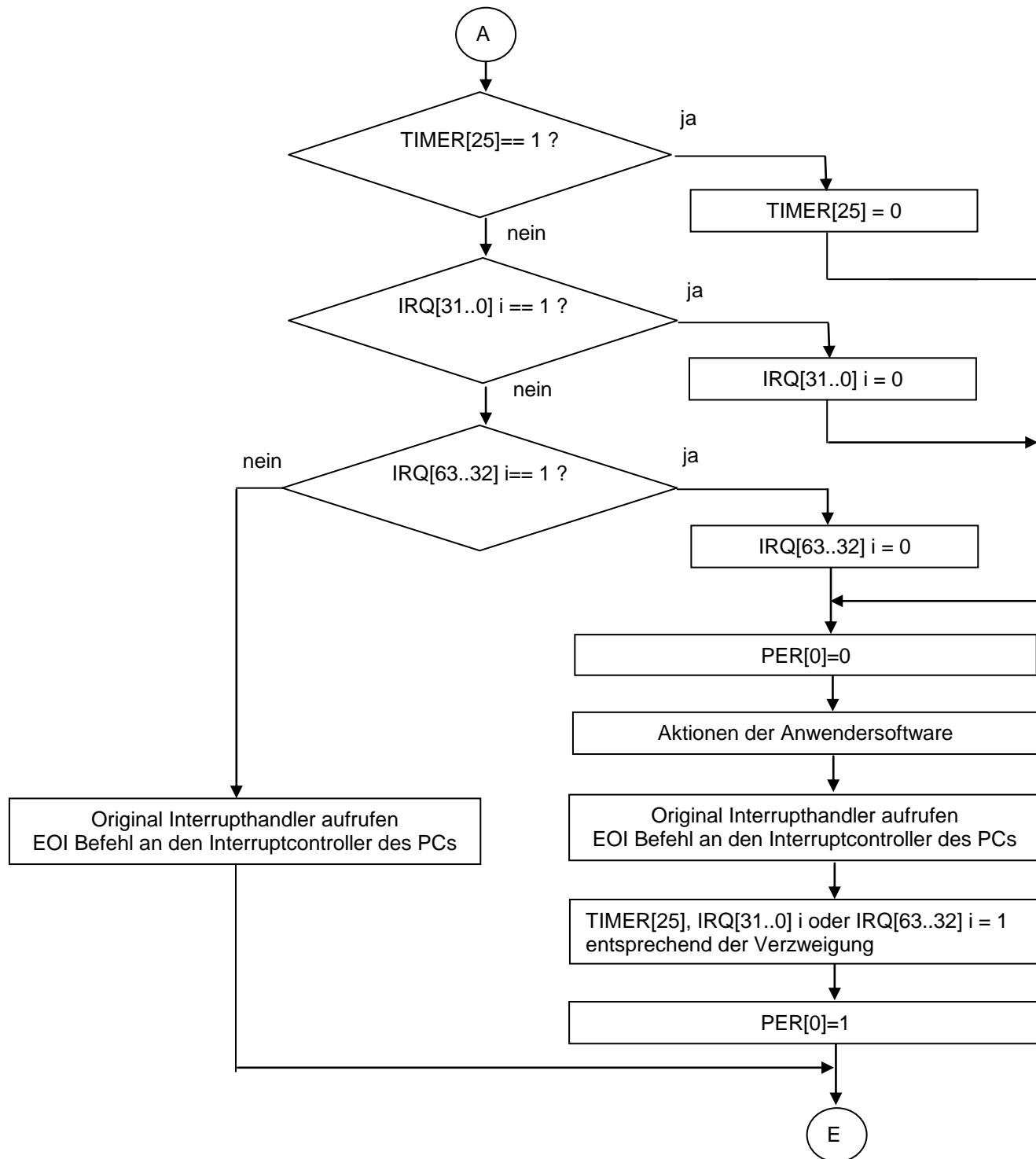
Alle Interrupts haben lokale Enable Bit, um eine Quelle gezielt freizugeben. Dies sind die Bit der Register IRQ[31..0] und IRQ[63..32] für die Interrupts der I/Os sowie das Bit TIMER[25] für den Timerinterrupt. Ist eines der Bit logisch High gesetzt, ist die entsprechende Quelle freigegeben, ist es gelöscht, ist die Quelle gesperrt.

Zusätzlich dient das jeweilige Bit als Local Acknowledge. Jedesmal, wenn ein Interrupt abgearbeitet wurde, muss dieser durch einen logischen Lowpegel des entsprechenden Bits bestätigt werden. Für die weitere Verarbeitung von Interrupts muss das Bit anschließend wieder logisch High gesetzt werden.

Bei einem Lesezugriff liefern die Register IRQ[31..0] und IRQ[63..32] sowie das Bit TIMER[25] jeweils den Status der jeweiligen Interruptquelle. Ein gesetztes Bit signalisiert dabei einen anstehenden Interrupt. Dieses Feature wird benötigt, um zwischen den verschiedenen Quellen unterschieden zu können.

Durch die aufwendige Logik wird sichergestellt, dass auch während der Abarbeitung eines Interrupts kein weiterer verpasst wird.

Für die Abarbeitung der Interrupts wird die Verwendung des nachstehenden Ablaufdiagramms empfohlen. Um die Priorität der Interruptquellen zu tauschen, muss lediglich die Abfrage der Quellen sowie des anschließenden Acknowledges getauscht werden. Die Indizes *i* stehen jeweils für ein oder mehrere Bit des entsprechenden Registers.



Um eine Interruptquelle zu verwenden, ist nach Installation der Interruptroutine entsprechend der Interrupt Request Line des Konfigurationsadressraums die gewünschte Interruptquelle durch Setzen der TIMER[25], IRQ[31..0] oder/und IRQ[63..32] freizuschalten und anschließend das Bit PER[0] zu setzen.

Die Deinstallation erfolgt in umgekehrter Reihenfolge. Zunächst ist das Bit PER[0] zu löschen und dann die freigeschaltete(n) Quelle(n) durch Löschen von TIMER[25], IRQ[31..0] oder/und IRQ[63..32]. Danach kann die Interruptroutine restauriert werden.

6.2 Erweiterte Funktionen

Das bei direkter Programmierung der Karte nicht benötigte Bit PER[1] dient dazu, auch Software-reiber bzw. spezielle Entwicklungskits zu unterstützen, die gerade bei gesharten Interrupts anhand genau eines Bit feststellen müssen, ob die Karte einen Interrupt ausgelöst hat.

Ist PER[1] per Software High geschaltet, wird bei jedem Interrupt zusätzlich ein Flipflop getriggert dessen Ausgangspegel über PER[1] wiederum lesbar ist. Ist PER[1] High, hat die Karte einen Interrupt ausgelöst. Das Flipflop wird wieder gelöscht, wenn das Bit PER[1] wieder Low geschaltet wird und kann dann für eine erneute Triggierung wieder High geschaltet werden.

Das Löschen des Bit und die erneute Freigabe in der Interruptroutine muss dabei immer zwingend vor dem Setzen des Bit PER[0] erfolgen damit sichergestellt ist, dass kein Interrupt verpasst werden kann.

Eine weitere Möglichkeit der Ermittlung der Karte als Interruptquelle stellen die Bit PER[0], PER[2], PER[3] und PER[4] zur Verfügung.

Bit PER[0] ist immer High, solange wenigstens ein Interrupt der Karte ansteht, Bit PER[2] solange der Timerinterrupt ansteht, Bit PER[3] solange wenigstens einer der Interrupts der I/Os der Basis-karte und Bit PER[4] solange wenigstens einer der Interrupts der I/Os der Erweiterungskarte anstehen.

7. Sonstiges

7.1 Kartenreset

Der Kartenreset ermöglicht es, die gesamte externe wie interne Peripherie von Basis- und Erweiterungskarte komplett zurückzusetzen: Alle internen Register und alle Ausgänge sind dann vollständig gelöscht und die Karten befinden sich in dem default Zustand wie nach einem Rechnerneustart.

Um einen Kartenreset durchzuführen ist das Bit PER[8] logisch High zu schalten. Um die Karten anschließend wieder neu zu programmieren, ist Bit PER[8] dann wieder in den default Zustand logisch 0 zu schalten.

Nach eine Hardwarereset ist das Bit PER[8] immer gelöscht und die Karte kann sofort verwendet werden.

Dieses Feature ist erst ab Hardwarerevision 2 und höher (siehe <Revision ID> des PCI Konfigurationsadressraum) verfügbar.

7.2 Nicht verwendete Bit der Register PER und TIMER

Alle für Schreibzugriffe nicht implementierten Bit der Register PER und TIMER können mit einem beliebigen Wert beschreiben werden. Aus Gründen der Aufwärtskompatibilität empfehlen wir jedoch dringend, diese Bitpositionen immer nur mit 0 zu beschreiben.

Nicht zum Schreiben implementierte Bit sind TIMER[31..26], PER[31..25], PER[15..9] und PER[7..2].

7.3 Jumper der Basiskarte

Zur Kartenunterscheidung mehrerer Karten innerhalb desselben PCI Bussystems sind auf der Basiskarte PCIDIO32 2 Jumper integriert, so dass hierfür keine I/Os geopfert werden müssen. Damit können 4 Karten mit insgesamt maximal 256 I/Os unterschieden werden.

Die Jumper sind auf der Basiskarte per Bestückungsdruck mit S1 und S0 bezeichnet. S1 kann über das Bit PER[9], S0 über das Bit PER[8] gelesen werden.

7.4 Verschraubung zum Platinensatz

Bei der Verschraubung von Basiskarte und Erweiterungskarte zum Platinensatz ist unbedingt darauf zu achten, daß ausschließlich Plastikmuttern und Plastikschrauben verwendet werden um elektrische Kurzschlüsse zu vermeiden. Die Dicke der Plastikmuttern muss wenigstens 3 mm betragen, damit diese als Berührschutz wirken.

7.5 Treiber und Dokumentationen

Aktualisierte Treiber und Dokumentationen sind unter <http://www.ebru.de> erhältlich.

7.6 Artikelbezeichnungen

Artikel Nr.	Bezeichnung
PCIDIO32	Basiskarte mit 32 I/Os
PCIDIOEX	Erweiterungskarte der Basiskarte PCIDIO32 um weitere 32 I/Os als Aufsteckmodul inkl. Verschraubungssatz
PCIDIO64	Basiskarte PCIDIO32 und Erweiterungskarte PCIDIOEX mit 64 I/Os als Kartensatz einbaufertig montiert
PCIDIOKA	Einbaufertiges Verbindungskabel der Erweiterungskarte PCIDIOEX als optionales Zubehör bestehend aus 40cm Flachbandkabel AWG28 1:1 gecrimpt mit A-Seite: 40 pol. IDC Stecker und B-Seite: SUBD 37pol. Buchse an PC Slotwinkel montiert
PCIDIOHM	Optionales Hutschienenmodul mit Käfigzuklemmleiste und SUBD Anschluss für die DIN-Normschiene zur einfachen Anlagenaufschaltung im Schaltschrank für 32 I/Os
PCIDIOVK1M	Optionales Verbindungskabel 1m 37-polig 1:1 aufgelegt für die Verbindung zwischen PCIDIO und Hutschienenmodul
PCIDIOVK2M	Optionales Verbindungskabel 2m 37-polig 1:1 aufgelegt für die Verbindung zwischen PCIDIO und Hutschienenmodul

8. Steckerbelegungen

8.1 Steckerbelegung SUB-D 37 pol. Buchse Basiskarte PCIDIO32

Beschreibung	Pin	Beschreibung	Pin
Not connected	1	I/O13	8
GND	18	I/O14	27
GND	19	I/O15	9
+24V DC	36	I/O16	28
+24V DC	37	I/O17	10
		I/O18	29
		I/O19	11
I/O00	20	I/O20	30
I/O01	2	I/O21	12
I/O02	21	I/O22	31
I/O03	3	I/O23	13
I/O04	22	I/O24	32
I/O05	4	I/O25	14
I/O06	23	I/O26	33
I/O07	5	I/O27	15
I/O08	24	I/O28	34
I/O09	6	I/O29	16
I/O10	25	I/O30	35
I/O11	7	I/O31	17
I/O12	26		

8.2 Steckerbelegung 40 pol. IDC Stiftwanne Erweiterungskarte PCIDIOEX

Beschreibung	Pin	Beschreibung	Pin
Not connected	1	I/O45	15
GND	37	I/O46	16
GND	35	I/O47	17
+24V DC	36	I/O48	18
+24V DC	34	I/O49	19
Not connected	38	I/O50	20
Not connected	39	I/O51	21
Not connected	40	I/O52	22
I/O32	2	I/O53	23
I/O33	3	I/O54	24
I/O34	4	I/O55	25
I/O35	5	I/O56	26
I/O36	6	I/O57	27
I/O37	7	I/O58	28
I/O38	8	I/O59	29
I/O39	9	I/O60	30
I/O40	10	I/O61	31
I/O41	11	I/O62	32
I/O42	12	I/O63	33
I/O43	13		
I/O44	14		

Bei einem 1:1 gecrimpten Kabel der 40 pol. Stiftwanne auf eine 37pol. SUB-D Buchse sind beide Platinen steckerkompatibel. Bei Verwendung eines Flachbandkabels AWG28 beträgt die Strombe-

lastbarkeit 1A je aufgelegte Litze, so dass ohne Verwendung des zusätzlichen Steckverbinders KL1 die Summenströme maximal 2A betragen dürfen.

8.3 Steckerbelegung KL1 Erweiterungskarte PCIDIOEX

Wird die Spannungsversorgung alternativ oder gleichzeitig auch auf den Steckverbinder KL1 aufgelegt, dürfen die Summenströme maximal 5A betragen.

Beschreibung	Pin
GND	1
+24V DC	2

Pin 1 ist dabei von vorne betrachtet der linke Anschluss der Schraubklemmenblocks. Für die Verdrahtung empfehlen wir die Verwendung einer Litze mit 0,75mm².

8.4 Steckerbelegung PCIDIOHM bei Verwendung von PCIDIOVK

Beschreibung	Klemme	Beschreibung	Pin
Not connected	1	I/O13	8
GND	18	I/O14	27
GND	19	I/O15	9
+24V DC	36	I/O16	28
+24V DC	37	I/O17	10
		I/O18	29
		I/O19	11
I/O00	20	I/O20	30
I/O01	2	I/O21	12
I/O02	21	I/O22	31
I/O03	3	I/O23	13
I/O04	22	I/O24	32
I/O05	4	I/O25	14
I/O06	23	I/O26	33
I/O07	5	I/O27	15
I/O08	24	I/O28	34
I/O09	6	I/O29	16
I/O10	25	I/O30	35
I/O11	7	I/O31	17
I/O12	26	Erde	38

Wir empfehlen dringend, die Erde auf Pin 38 auch aufzulegen um Störungen auf dem Verbindungskabel zu vermeiden.

9. Technische Daten

9.1 Spannungsversorgung der I/Os

Die Spannungsversorgung der I/Os und der optischen Entkopplung erfolgt über den jeweiligen Steckverbinder an den Anschlüssen +24VDC und GND mit 24VDC +/-30%.

Wir empfehlen dringend, die Spannungsversorgung an allen zur Verfügung stehenden Anschlüssen auch aufzulegen.

Da die Spannungsversorgung von Basis- und Erweiterungskarte völlig unabhängig voneinander ausgeführt ist, können die I/Os der beiden Karten auch zwei völlig verschiedene Potentiale bedienen.

Umgekehrt bedeutet dies aber auch, dass bei Betrieb mit Basis- und Erweiterungskarte die Spannungsversorgung an beiden Steckverbindern auch aufzulegen ist.

Sowohl bei der Basiskarte PCIDIO32 als auch bei der Erweiterungskarte PCIDIOEX (wenn die Spannungsversorgung auch am Steckverbinder KL1 aufgelegt wird) dürfen die Summenströme jeweils 5A nicht überschreiten.

9.2 Ausgänge der I/Os

Die optisch entkoppelten und dauerkurzschlussfesten Ausgänge der I/Os sind jeweils mit High Side Power Switch N-Kanal Power MOSFET aufgebaut und verfügen über eine interne Temperaturüberwachung, die im Überlast- und Kurzschlussfall den jeweiligen Ausgang selbsttätig abschaltet und bei Unterschreiten der Schwelltemperatur von 150°C der Sperrschicht selbsttätig wieder einschaltet.

Jeder Ausgang verfügt zusätzlich über eine 1A Freilaufdiode nach GND und eine Längsdiode zum Schutz vor Rückströmen. Es können dadurch ohmsche, induktive und kapazitive Lasten direkt angeschlossen werden. Aufgrund der Schutzdiode und des Drain Source Widerstandes des MOSFET liegt der Spannungsabfall am jeweiligen Ausgang lastabhängig zwischen 0,6V und 2V. Das Schaltvermögen und die Schaltfrequenz der Ausgänge sind naturbedingt stark von der Art und Größe der jeweiligen Last abhängig.

Technische Daten Ausgang	
Spitzenstrom max.	1,2 A
Dauerstrom max.	1 A
Garantierter Dauerstrom	0,65 A bei rein ohmscher Last
Schaltfrequenz max.	5 KHz
Schaltfrequenz typisch	500 Hz bei 1A und rein ohmscher Last
	1 KHz bei 0,25 A und rein ohmscher Last
Einschaltzeit (typ./max.)	45 us/125 us bei 270 Ohm Last
Ausschaltzeit (typ./max.)	80 us/250 us bei 270 Ohm Last
Min. Isolationsspannung der Optokoppler	5 000 Vrms

9.3 Eingänge der I/Os

Für die optische Trennung der Eingänge der I/Os werden Optokoppler eingesetzt, die über die Spannungsversorgung an den jeweiligen Steckverbindern versorgt werden. Eine Längsdiode und ein Längswiderstand zur Strombegrenzung stellen die Schaltschwelle ein, ein den Optokopplern nachgeschaltetes RC-Glied und ein digitales Filter dienen der Unterdrückung von Störungen und Transienten.

Technische Daten Eingang	
Schaltschwelle	12 VDC +/- 10%
Schaltfrequenz	> 5 KHz
Eingangsstrom	$(U_{ein} - 8,2 V - 1,15 V) / (3900 \text{ Ohm})$
Max. Eingangsspannung U_{ein}	31,8 VDC
Min. Isolationsspannung der Optokoppler	5 000 Vrms